

時間分解 STM による PIN 接合のキャリアダイナミクスマッピング

Space-time mapping of carrier dynamics in PIN junction using time-resolved STM

筑波大数物¹、CREST-JST² ○大久保 淳史¹、寺田 康彦^{1,2}、

吉田 昭二^{1,2}、武内 修^{1,2}、重川 秀実^{1,2}

Inst. of Appl. Phys. Univ. of Tsukuba¹, CREST-JST²

○Atsushi Okubo¹, Yasuhiko Terada^{1,2}, Shoji Yoshida^{1,2}, Osamu Takeuchi^{1,2},

Hidemi Shigekawa^{1,2}

<http://dora.bk.tsukuba.ac.jp>

半導体デバイスの微細化・高速化を進めていくためには、キャリアの超高速なダイナミクスを、局所的・動的に評価することが必要不可欠である。本講演では、ナノスケールの空間分解能、サブピコ秒の時間分解能をもつ遅延時間変調パルス対励起 STM 法 (SPPX-STM) を用い、GaAs-PIN 接合 (図 1 上) 中のキャリアダイナミクスの時空間マッピングを行った結果を紹介する。

SPPX-STMでは、STM探針直下の試料表面をレーザパルス対で繰り返し照射し (図 1 上)、パルス対間の遅延時間 (t_d) を変化させて対応するトンネル電流変化 ΔI を計測することにより、測定点でのキャリア寿命 (キャリア密度の時間変化) の情報を得る。図 1 下に、GaAs-PIN接合面に対する $t_d = 0, 4, 11\text{ns}$ での $\Delta I(t_d)$ 像を示す。 ΔI 像の明るい部分は ΔI の値が大きい部分で、キャリア密度が高い部分に対応している。図の左端P領域からI領域の中央部にかけての領域では、 t_d が大きくなるにつれてキャリア密度が減少し、その減少速度はI領域の方がP領域よりも高い。これは、I領域に存在する高い電場によりキャリアが高速にドリフトするためである。講演では、本手法の原理を含め、詳細を紹介する。

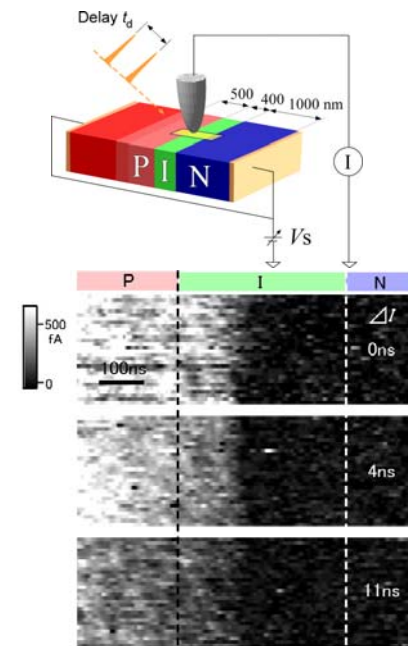


Fig.1 ΔI maps in PIN junction.